

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-196589

(P2001-196589A)

(43)公開日 平成13年7月19日 (2001.7.19)

(51)Int.Cl.

識別記号

F I

サーチワード(参考)

H 0 1 L 29/786

H 0 1 L 29/78

6 2 7 C 2 H 0 9 2

21/336

C 0 2 F 1/136

5 0 0 5 F 1 1 0

G 0 2 F 1/1368

H 0 1 L 29/78

6 1 2 D

6 1 9 B

審査請求 有 請求項の数32 O L (全 10 頁)

(21)出願番号

特願2000-22(P2000-22)

(22)出願日

平成12年1月4日 (2000.1.4)

(71)出願人 390009531

インターナショナル・ビジネス・マシー  
ズ・コーポレーションINTERNATIONAL BUSIN  
ESS MASCHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72)発明者 辻村 隆俊

神奈川県大和市下鶴間1623番地14 日本ア

イ・ビー・エム株式会社 大和事業所内

(74)代理人 100086243

弁理士 坂口 博 (外1名)

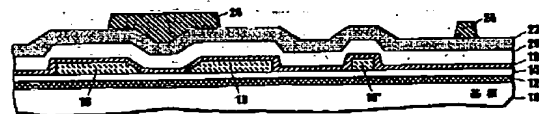
最終頁に続く

(54)【発明の名称】 トップゲート型TFT構造及びその製造方法

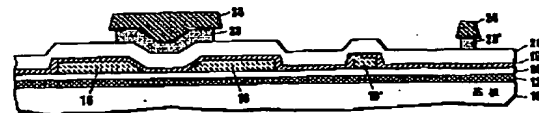
(57)【要約】

【課題】 2枚マスク・プロセスによるTFT構造の製造方法を提供する。

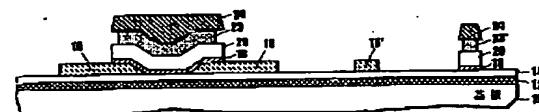
【解決手段】 基板上に遮光層及び層間絶縁層を順に付着し、その上にソース・ドレイン電極を形成し(第1のマスク工程)、この電極を覆って半導体層、ゲート絶縁層、及びゲート金属層を順に付着し、第2のマスク工程でゲート電極を形成し、続いてゲート絶縁層及び半導体層をエッチングし、次にソース・ドレイン電極をマスクとしてその下の層間絶縁層及び遮光層をエッチングすることで、トップ・ゲートTFT構造が得られる。ここで、層間絶縁層及びゲート絶縁層をそれぞれ $\text{SiO}_2$ 及び $\text{SiN}_x$ を主成分とする絶縁材料で形成すると、 $\text{CF}_4$ と水素の混合ガスでプラズマエッチングすることで、層間絶縁層及び遮光層に対して、ゲート絶縁層及び半導体層が自然にオーバーエッチされ、光リーク電流の問題のない信頼性の高いTFT構造とすることができる。



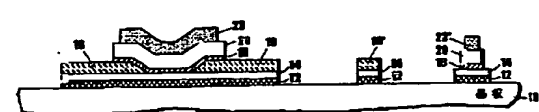
(a)



(b)



(c)



(d)

## 【特許請求の範囲】

【請求項1】トッパゲート型TFT構造を形成する方法において、  
 基板上に遮光層を付着するステップと、  
 前記遮光層上に層間絶縁層を付着するステップと、  
 前記層間絶縁層上にソース及びドレイン電極を形成するステップと、  
 前記層間絶縁層上に、前記ソース及びドレイン電極を覆って、半導体層を付着するステップと、  
 前記半導体層上にゲート絶縁層を付着するステップと、  
 前記ゲート絶縁層上にゲート金属層を付着するステップと、  
 前記ゲート金属層上にゲート電極用レジストパターンを形成するステップとを経た後、  
 前記レジストパターンをマスクとして、前記ゲート金属層と、ゲート絶縁層と、半導体層とをパターニングするステップと、及び、  
 前記ソース及びドレイン電極をマスクとして前記層間絶縁層と前記遮光層とをパターニングするステップとを含む方法。

【請求項2】前記層間絶縁層と前記遮光層とをパターニングした後、前記レジストパターンを除去するステップをさらに含む、請求項1に記載の方法。

【請求項3】前記半導体層は、非晶質シリコンを含む、請求項1に記載の方法。

【請求項4】前記遮光層は、非導電性無機化合物を含む、請求項1に記載の方法。

【請求項5】前記非導電性無機化合物は、 $\text{SiGe}$ 、 $\text{GeO}_x$ 、 $\text{GeN}_x$ 、及び、 $\text{NbO}_x$ からなる群から選択される、請求項4に記載の方法。

【請求項6】前記ゲート絶縁層、前記半導体層、層間絶縁層、及び遮光層は、すべてドライエッチングによりパターニングされる、請求項1に記載の方法。

【請求項7】前記層間絶縁層は、 $\text{SiO}_x$ 及び $\text{SiO}_x\text{N}_y$ からなる群から選択される絶縁材料を主成分とし、前記ゲート絶縁層は、 $\text{SiN}_x$ を主成分とする、請求項1に記載の方法。

【請求項8】前記ゲート絶縁層及び前記半導体層は、異方性エッチングによりパターニングされる、請求項6または7に記載の方法。

【請求項9】前記ゲート絶縁層及び前記半導体層は、反応性イオンエッチングによりパターニングされる、請求項8に記載の方法。

【請求項10】前記ゲート絶縁層及び前記半導体層は、フッ化物を含むガスで、反応性イオンエッチングによりパターニングされる、請求項9に記載の方法。

【請求項11】前記層間絶縁層及び前記遮光層は、等方性エッチングによりパターニングされる、請求項6ないし8のいずれか1つに記載の方法。

【請求項12】前記層間絶縁層及び前記遮光層は、プラ

ズマエッチングによりパターニングされる、請求項11に記載の方法。

【請求項13】前記層間絶縁層及び前記遮光層は、水素元素を含むエッチングガス中で、プラズマエッチングによりパターニングされる、請求項12に記載の方法。

【請求項14】前記層間絶縁層及び前記遮光層を等方性エッチングすることで、前記ゲート絶縁層及び前記半導体層が前記レジストパターンよりもオーバーエッチされる、請求項11に記載の方法。

【請求項15】前記ゲート金属層は湿式エッチングによりパターニングされる、請求項1に記載の方法。

【請求項16】前記ゲート金属層は、Moを含む、請求項1または15に記載の方法。

【請求項17】前記ゲート金属層は、リン酸及び硝酸を含むエッチング液を用いてエッチングされる、請求項16に記載の方法。

【請求項18】前記ゲート金属層は、前記レジストパターンよりもオーバーエッチされる、請求項15に記載の方法。

【請求項19】前記ゲート金属層は、化学ドライエッチングによりパターニングされる請求項1に記載の方法。

【請求項20】第1の周囲を有する遮光層と、第2の周囲を有する半導体層とを含む積層構造であって、前記遮光層と前記半導体層との間に絶縁層が設けられており、  
 前記遮光層と前記半導体層とは、自己整合的に形成されており、  
 前記第2の周囲は、前記第1の周囲の内側にあり、かつ前記第1の周囲を横切らない、積層構造。

【請求項21】前記遮光層は、 $\text{SiGe}$ 、 $\text{GeO}_x$ 、 $\text{GeN}_x$ 、及び、 $\text{NbO}_x$ からなる群から選択される非導電性無機化合物である、請求項20に記載の積層構造。

【請求項22】前記積層構造は、第3の周囲を有する導電層をさらに含み、  
 前記半導体層と前記導電層との間には絶縁層が設けられており、  
 前記導電層は、前記半導体層と自己整合的に形成されており、  
 前記第3の周囲は、前記第2の周囲の内側にあり、かつ前記第2の周囲を横切らない、請求項20に記載の積層構造。

【請求項23】基板と、  
 基板上に設けられた遮光層と、  
 前記遮光層の上に設けられた層間絶縁層と、  
 前記層間絶縁層の上に設けられたソース及びドレイン電極と、  
 前記層間絶縁層の上に設けられ、部分的に前記ソース及びドレイン電極を覆う半導体層と、  
 前記半導体層上に設けられたゲート絶縁層と、  
 前記ゲート絶縁層の上に設けられたゲート電極とを含

み、

前記半導体層の周囲は、前記遮光層の周囲の内側にあり、かつ前記遮光層の周囲を横切らない、トップゲート型TFT構造。

【請求項24】前記ゲート電極の周囲は、前記半導体層の周囲の内側にあり、かつ前記半導体層の周囲を横切らない、請求項23に記載のトップゲート型TFT構造。

【請求項25】一組の対向して配置された基板と、前記基板の間に置かれた液晶層とを含む液晶表示装置であって、

前記基板の一方の液晶層が置かれた側の表面上に設けられた遮光層と、

前記遮光層の上に設けられた層間絶縁層と、

前記層間絶縁層の上に設けられたソース及びドレイン電極と、

前記層間絶縁層の上に設けられ、部分的に前記ソース及びドレイン電極を覆う半導体層と、

前記半導体層上に設けられたゲート絶縁層と、

前記ゲート絶縁層の上に設けられたゲート電極とを含む、

前記半導体層の周囲は、前記遮光層の周囲の内側にあり、かつ前記遮光層の周囲を横切らない、TFT液晶表示装置。

【請求項26】前記ゲート電極の周囲は、前記半導体層の周囲の内側にあり、かつ前記半導体層の周囲を横切らない、請求項25に記載のTFT液晶表示装置。

【請求項27】前記遮光層は、SiGe、GeO<sub>x</sub>、GeN<sub>x</sub>、及び、NbO<sub>x</sub>からなる群から選択される非導電性無機化合物である、請求項25または26に記載のTFT液晶表示装置。

【請求項28】TFT液晶表示装置の製造方法において、

基板上に遮光層を付着するステップと、

前記遮光層上に層間絶縁層を付着するステップと、

前記層間絶縁層上にソース及びドレイン電極を形成するステップと、

前記層間絶縁層上に、前記ソース及びドレイン電極を覆って、半導体層を付着するステップと、

前記半導体層上にゲート絶縁層を付着するステップと、

前記ゲート絶縁層上にゲート金属層を付着するステップと、

前記ゲート金属層上にゲート電極用レジストパターンを形成するステップとを経た後、

前記レジストパターンをマスクとして、前記ゲート金属層と、ゲート絶縁層と、半導体層とをパターニングするステップと、

前記ソース及びドレイン電極をマスクとして前記層間絶縁層と前記遮光層とをパターニングするステップと、

前記レジストパターンを除去するステップと、及び、

配向膜を形成するステップとを含むTFTアレイ側基板

を形成するステップと、

カラーフィルター側基板を形成するステップと、

前記TFTアレイ側基板と前記カラーフィルター側基板とを対向させて配置するステップと、並びに、

前記TFTアレイ側基板と前記カラーフィルター側基板との間に液晶層を挿入するステップとを含む、方法。

【請求項29】前記遮光層は、SiGe、GeO<sub>x</sub>、GeN<sub>x</sub>、及び、NbO<sub>x</sub>からなる群から選択される非導電性無機化合物である、請求項28に記載の方法。

【請求項30】前記層間絶縁層は、SiO<sub>x</sub>及びSiO<sub>2</sub>N<sub>x</sub>からなる群から選択される絶縁材料を主成分とし、前記ゲート絶縁層は、SiN<sub>x</sub>を主成分とする、請求項28に記載の方法。

【請求項31】前記ゲート絶縁層及び前記半導体層は、異方性エッチングによりパターニングされ、前記層間絶縁層及び前記遮光層は、等方性エッチングによりパターニングされて、前記ゲート絶縁層及び前記半導体層が前記層間絶縁層及び前記遮光層よりもオーバーエッチされる、請求項30に記載の方法。

【請求項32】前記ゲート金属層は、等方性エッチングによりパターニングされて、前記レジストパターンよりもオーバーエッチされる、請求項28に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリックス型液晶表示装置(LCD)に関し、特に、そのスイッチング素子であるTFT(薄膜トランジスタ)構造とその製造方法に関する。

【0002】

【従来の技術】液晶表示装置の普及に伴い、高画質化への要求がある一方で、低価格化への要求が高まっている。そのため、少ないプロセス数で製造でき、高いスループットが可能なLCDの構造及び製造方法が強く求められている。

【0003】TFTは、LCDの駆動に重要な要素の一つであるスイッチング素子として作用する。このTFTアレイ構造を作成するのは、LCD製造工程のうちでも、かなりの工程数を要し、従って、高い製造コストを要する。また、工程数が多いことは、各工程の不良率が掛け合わされるので、歩留まりの低下を招く。従って、このTFTアレイ構造の製造工程を削減することは、TFT-LCDの低価格化に大いに寄与するものであると確信される。そこで、従来一般的に採用されてきた逆スタガー構造またはボトムゲートTFT構造(図1(b))に代わり、より少ないフォトリソグラフィ工程で製造できるスタガー構造、すなわちトップゲートTFT構造(図1(a))が注目されつつある。

【0004】トップゲートTFT構造は、理論上2枚マスクで製造できる。ところが、チャネル領域は光導電性を有する半導体、通常は非晶質シリコン(アモルファス

・シリコン、 $a\text{-Si}$ )で構成されているので、ガラスなどの透明基板を介して、外光もしくはバックライトにさらされると光リーク電流が発生し、表示品質の著しい劣化、あるいは誤動作などの問題が生じる。そこで、トップゲートTFT構造の下部に遮光層を設ける必要がある。遮光層は、通常金属で形成される。金属遮光層は、画素部分では、光を透過するため、並びに、配線部分では、金属/誘電体/半導体構造による寄生容量の発生を防ぐため、除去されなければならない。従って、遮光層のパターニングのためのマスクがさらに必要になり、結局トップゲートTFT構造を製造するために、最低3枚のマスクが必要であった。

【0005】特開平9-68727号明細書では、遮光層を $a\text{-Si}$ 層と同一のパターンで形成することを開示している。ここでは、ゲート電極およびゲート絶縁層を形成するためのマスクと、 $a\text{-Si}$ 層と遮光層をパターニングするためのマスクと、画素電極と信号線を形成するためのマスクとの3枚マスク・プロセスが示されている。しかし、ここで製造された、 $a\text{-Si}$ 層と遮光層とが同一のパターンであるTFT構造では、遮光層側から垂直に入射する光は、遮光層によって遮光されるが、垂直方向以外の方向から入射する、たとえば散乱光のような光は、遮光層では十分遮ることができずに、 $a\text{-Si}$ 層のエッジ部分に達し、そこで光リーク電流が発生してしまうおそれがある。

【0006】

【発明が解決しようとする課題】本発明の目的は、より少ないマスク数で、従って、より少ない製造工程で、TFT構造を製造する方法を提供することである。

【0007】本発明の他の目的は、光リーク電流の問題のない、信頼性の高いTFT構造及びその製造方法を提供することである。

【0008】

【課題を解決するための手段】本発明によれば、2枚マスク・プロセスによるTFT構造の製造方法が提供される。その方法は、基板上に遮光層及び層間絶縁層を順に付着し、その上にソース及びドレイン電極を形成し(1回目のマスク工程)、次に層間絶縁層上に、前記ソース及びドレイン電極を覆って、半導体層、ゲート絶縁層、及びゲート金属層を順に付着し、ゲート電極用レジストパターンをマスクとして(2回目のマスク工程)、ゲート金属層と、ゲート絶縁層と、半導体層とをエッチングし、その後、ソース及びドレイン電極をマスクとして層間絶縁層と遮光層とをエッチングすることを含む。

【0009】本発明の方法に従って得られたTFT構造は、半導体層と遮光層とが、自己整合的に形成され、かつ半導体層の周囲は、遮光層の周囲の内側にあつて決して遮光層の周囲を横切らない構造を有する。従って、散乱光の存在によっても、半導体層エッジ領域での光リーク電流は生じない。

【0010】さらに、層間絶縁層とゲート絶縁層を形成する絶縁物質の組み合わせを適当に選ぶことによって、それら絶縁物質のエッチング選択性を利用して、追加の工程を要することなく、上述の半導体層の周囲が、遮光層の周囲の内側にある構造を得ることができる。具体的には、層間絶縁層を $\text{SiO}_2$ 又は $\text{SiO}_2\text{N}_x$ を主成分とする絶縁物質で形成し、ゲート絶縁層を $\text{SiN}_x$ を主成分とする絶縁物質で形成する。 $\text{CF}_4$ と水素の混合ガスを用いてプラズマエッチングすると、層間絶縁層に対して、ゲート絶縁層及び半導体層が自然にオーバーエッチされる。

【0011】

【発明の実施の形態】本願発明は、2枚マスク・プロセスによるTFT構造の製造方法を提供する。本願発明の方法は、ソース・ドレイン電極用のマスク、及びゲート電極用のマスクのみを使用し、それ以外のマスクを必要としない。以下、本願発明の方法に従ってトップゲート型TFT構造を製造する、好ましい実施態様について説明する。

【0012】図2は、本願発明の方法に従ってトップゲート型TFT構造を製造する際の、各ステップにおける断面図を示す。図2(a)に示すように、まず、アレイ基板10、典型的にはガラス基板などの透明基板の上に、遮光層12が全面付着される。遮光層12は、非金属遮光層であることが望ましい。非金属遮光層に適した物質には、 $\text{GeSi:H}$ 、酸化ゲルマニウム $\text{GeO}_x$ 、窒化ゲルマニウム $\text{GeN}_x$ などのゲルマニウム化合物、並び、酸化ニオブ $\text{NbO}_x$ などのニオブ化合物がある。最も好ましい遮光層は $\text{GeSi:H}$ 層である。これは、例えば $\text{GeSi}$ ( $\text{Ge}:\text{Si}=1:1$ )のターゲットを用い、 $\text{Ar}$ と水素の混合ガスでスパッタ付着(sputter)することができる。遮光層12の厚みは、少なくとも2000Å以上、好ましくは、約3000Å〜約4000Åの範囲とする。例示したような非金属遮光層を用いた場合、層中の欠陥準位によってリーク電流が流れるおそれがある。従って、遮光層の直上にソース・ドレイン電極16を設けると、TFT-LCDで用いられるパルス電圧によって、 $1\times 10^{-10}\text{A}$ 程度のリーク電流が流れ、LCDの表示品位に問題を生じるおそれがある。かかる問題を回避するため、遮光層12の上に層間絶縁層14を全面付着する。層間絶縁層14は、 $\text{SiO}_2$ 又は $\text{SiO}_2\text{N}_x$ を主成分とする絶縁物質で形成することが好ましい。

【0013】次に、図2(b)に示すように、層間絶縁層14上にソース及びドレイン電極16、並びにデータ線あるいはIPS-TFT-LCDにおけるコモン電極16'を形成する。ソース及びドレイン電極16等は、例えばMoWなどの導電層で形成され、通常のフォトリソグラフィ手法を用いてパターニングする。従って、第1のマスクは、ソース及びドレイン電極のパターンを含

ものである。ここでパターニングされるのは、ソース及びドレイン電極16等を形成するための導電層だけであり、その下の層間絶縁層14及び遮光層12は全面付着されたまま残される。

【0014】さらに層間絶縁層14上に、ソース及びドレイン電極16を覆って半導体層18を全面付着する。半導体層は、通常、非晶質シリコンで形成されるが、多結晶CdSやCdSeなどの化合物半導体、多結晶シリコン、非晶質シリコン(a-Si)などの半導体材料で形成することもできる。続いて、ゲート絶縁層20を全面付着する。後のエッチング工程を考慮して、このゲート絶縁層20は、層間絶縁層14を形成する材料とは異なる絶縁材料で形成することが望ましい。後のエッチング工程におけるエッチング条件によるが、ゲート絶縁層20は、層間絶縁層14よりもエッチングされやすい材料で形成することが望ましい。例えば、層間絶縁層14をシリコン酸化物を含む材料で形成した場合、ゲート絶縁層20を窒化シリコン(SiN<sub>x</sub>)を主成分とする材料で形成する。

【0015】その後、ゲート絶縁層20上にゲート電極23、並びにゲート線またはIPS-TFT-LCDにおける画素電極23'を形成する。ゲート電極23等は、例えば、Moなどの導電層22から形成され、あるいはMo及びAlなどの複数の導電層を有していてもよい。ゲート電極23は、通常のリソグラフィの手法に従って形成される。すなわち、導電層22を全面付着した上にレジスト組成物24を塗布し、必要ならば塗布したレジスト組成物24をアリベークした後、ゲート電極23のパターンを含む第2のマスクを介して放射線に露光される。露光後、必要ならばポストベークを施し、適当な現像液を用いてレジスト組成物24を現像する。得られた構造は、図2(c)に示すように、ゲート電極23となる領域の上のみレジスト組成物24が存在する。基板10/遮光層12/層間絶縁層14/ソース・ドレイン電極16/半導体層18/ゲート絶縁層20/ゲート電極用導電層22の積層構造である。

【0016】得られたレジスト組成物24のパターンをマスクとして、ゲート電極用導電層22をパターニングして、ゲート電極23を形成する。続いて、その下層のゲート絶縁層20、及び半導体層18を同時にパターニングする。それによって、図2(d)に示すような構造が得られ、レジスト組成物に覆われていない領域では、ソース及びドレイン電極16、または層間絶縁層14が露出する。

【0017】そこで、次に、レジスト組成物24のパターンまたはゲート電極23、並びにソース及びドレイン電極16をマスクとして、層間絶縁層14及び遮光層12をパターニングする。レジスト組成物24を除去すると、図2(e)に示すような、トップゲートTFT構造が得られる。本願発明の方法に従って得られたこのトッ

プゲートTFT構造は、半導体層18と遮光層12とが、自己整合的に形成され、かつ半導体層18の周囲は、遮光層12の周囲の内側にあって決して遮光層12の周囲を横切らない構造を有するので、従って、散乱光の存在によっても、半導体層18エッジ領域での光リーク電流は生じない。

【0018】さらに望ましい本願発明の態様によれば、上述の方法に従って、図2(c)に示される構造(図3(a))を得た後、得られたレジスト組成物24のパターンをマスクとして、ゲート電極用導電層22を等方性エッチングでパターニングして、ゲート電極23を形成する。適用可能な等方性エッチングには、例えば、H<sub>3</sub>PO<sub>4</sub>、HNO<sub>3</sub>、及びCH<sub>3</sub>COOHから選択された酸の水溶液またはその混合物など適当なエッチャントを用いた湿式エッチング、あるいは、HCl、BCl<sub>3</sub>を用いた化学ドライエッチングがある。そして、望ましくは、図3(b)に示すように、ゲート電極用導電層22を、マスクとしてのレジスト組成物24パターンよりもいくらかオーバーエッチする。このように、ゲート電極23をオーバーエッチすることで、ゲート電極23周囲にオフセット長が得られ、後述するように、ゲート電極23とソース・ドレイン電極16との間の電流のリークやショートを防ぐことができる。

【0019】続いて、レジスト組成物24のパターンをマスクとして、ゲート絶縁層20及び半導体層18を異方性エッチングによりパターニングする。例えば、CF<sub>4</sub>及び酸素の混合ガスを用いて反応性イオンエッチング(RIE)を行うことで、ゲート絶縁層20及び半導体層18は、連続してエッチングされる。得られた構造を図3(c)に示す。この図からわかるように、同じレジスト組成物24のパターンをマスクとしてエッチングしたゲート電極用導電層22は等方性エッチングにより、一方、ゲート絶縁層20及び半導体層18は異方性エッチングによりエッチングすることで、ゲート電極23の周囲にオフセット長を有する構造とすることができる。ここにオフセット長がない場合、ゲート電極23端とソース・ドレイン電極16端またはデータ線16'端との間隔はゲート絶縁層20及び半導体層18の層厚分(数1000Å)しかなく、パーティクルや水分によってリークやショートなどの故障を生じる可能性が高い。しかし、ゲート電極23の周囲にオフセット長を有する構造とすることで、リークやショートの可能性をかなり低くすることができる。リークやショートの問題を回避するためには、パーティクルよりも大きいオフセット長を形成する。例えば、約0.5μmより大きい、好ましくは、約1〜約2μmのオフセット長を有する構造とする。

【0020】その後、レジスト組成物24のパターンまたはゲート電極23、並びにソース及びドレイン電極16をマスクとして、層間絶縁層14及び遮光層12をエ

エッチングする。これらの層はプラズマエッチングなどの等方性エッチングにより、エッチングすることが望ましい。例えば、 $\text{CF}_4$ 及び水素の混合ガスを用いてプラズマエッチングを行うことで、層間絶縁層及び14び遮光層12は、連続してエッチングされる。またさらに、等方性エッチングは、すでにエッチングされて得られたゲート絶縁層20及び半導体層18の側壁をも攻撃する。ゲート絶縁層20が、層間絶縁層14よりも、ここでエッチングされやすい材料で形成されていると、ゲート絶縁層20及び半導体層18のオーバーエッチが生じる。ゲート線23'領域におけるこのオーバーエッチは、遮光層12端と半導体層18端との間にオフセット長をもたらし、半導体層18での光リークを防ぐことができる。一方、このオフセット長がなく、遮光層12層と半導体層18が同一のパターンで形成されていると、遮光層12端からの光の回折で、半導体層18で光リークが生じてしまう。このため、電荷が保持できず、LCDの表示品位を劣化するおそれがある。オフセット長は、約0.5  $\mu\text{m}$ 以上であることが好ましく、約1~2  $\mu\text{m}$ であることがより好ましい。

【0021】ゲート電極23の上に残存するレジスト組成物24を除去すると、図3(d)に示すような、トップゲートTFT構造が得られる。レジスト組成物24は、半導体層18のエッチング後、層間絶縁層14のエッチング前に除去してもよいが、層間絶縁層14及び遮光層12をエッチングした後に除去することが望ましい。本願発明に従って得られたこのTFT構造は、半導体層18の周囲が遮光層12の周囲の内側にあって決して遮光層12の周囲を横切らない構造を有し、光リーク電流発生の問題を生じない効果に加え、ゲート電極23の周囲にオフセット長を有することで、ゲート電極23とソース・ドレイン電極16間のリークまたはショートの問題を回避できる効果も奏する。さらに、ゲート線23'においても、その半導体層18の周囲が遮光層12の周囲の内側にあって遮光層12の周囲を横切らない構造となっているため、光リーク電流発生の問題を生じな

い。しかし、その一方で、遮光層12とデータ線16'は自己整合的に形成されるので、遮光層12が必要以上の領域を有することはなく、従って開口率の向上がはかれる。

【0022】以上のように、本願発明のTFT構造の製造方法は、ソース・ドレイン電極用パターン及びゲート電極用パターンの2枚のマスクのみを必要とし、従来必要とされていた遮光層用パターンのマスクを必要としない。このような簡素化された工程によって、歩留まりの向上及び製造コストの削減をもたらすものと期待される。しかも、半導体層18の周囲が必ず遮光層12の周囲の内側にあって、光リーク電流が発生しない構造が得られる。従って、本願発明の方法に従って製造されるTFT-LCDは、優れた表示品位を有するものとしてすることができる。

【0023】IPS(In-Plane Switching)-TFT-LCDの場合は、この得られたTFTアレイ構造上に、配向膜を形成し、液晶層を介して、カラーフィルター基板と対向して配置される。TN(Twisted Nematic)-TFT-LCDの場合は、上述のTFTアレイ構造に、さらに画素電極を設け、その上に配向膜を形成する。得られたアレイ側基板は、液晶層を介して、カラーフィルター側基板と対向して配置され、液晶セルを形成する。その際、アレイ側基板とカラーフィルター側基板とを適当な間隔を有するように対向させて配置した後、液晶を挿入してもよく、あるいは、一方の基板上に液晶を塗布した後、もう一方の基板と組み合わせてもよい。液晶セルをLCD装置にアセンブリする工程は周知である。

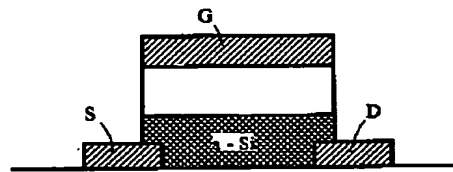
#### 【図面の簡単な説明】

【図1】(a)トップゲート及び(b)ボトムゲートTFT構造を示す概略図である。

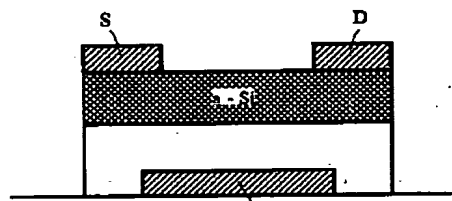
【図2】本発明の方法に従って製造されるTFT構造の、各工程における断面図である。

【図3】本発明の方法に従って製造される望ましいTFT構造の、各工程における断面図である。

【図1】

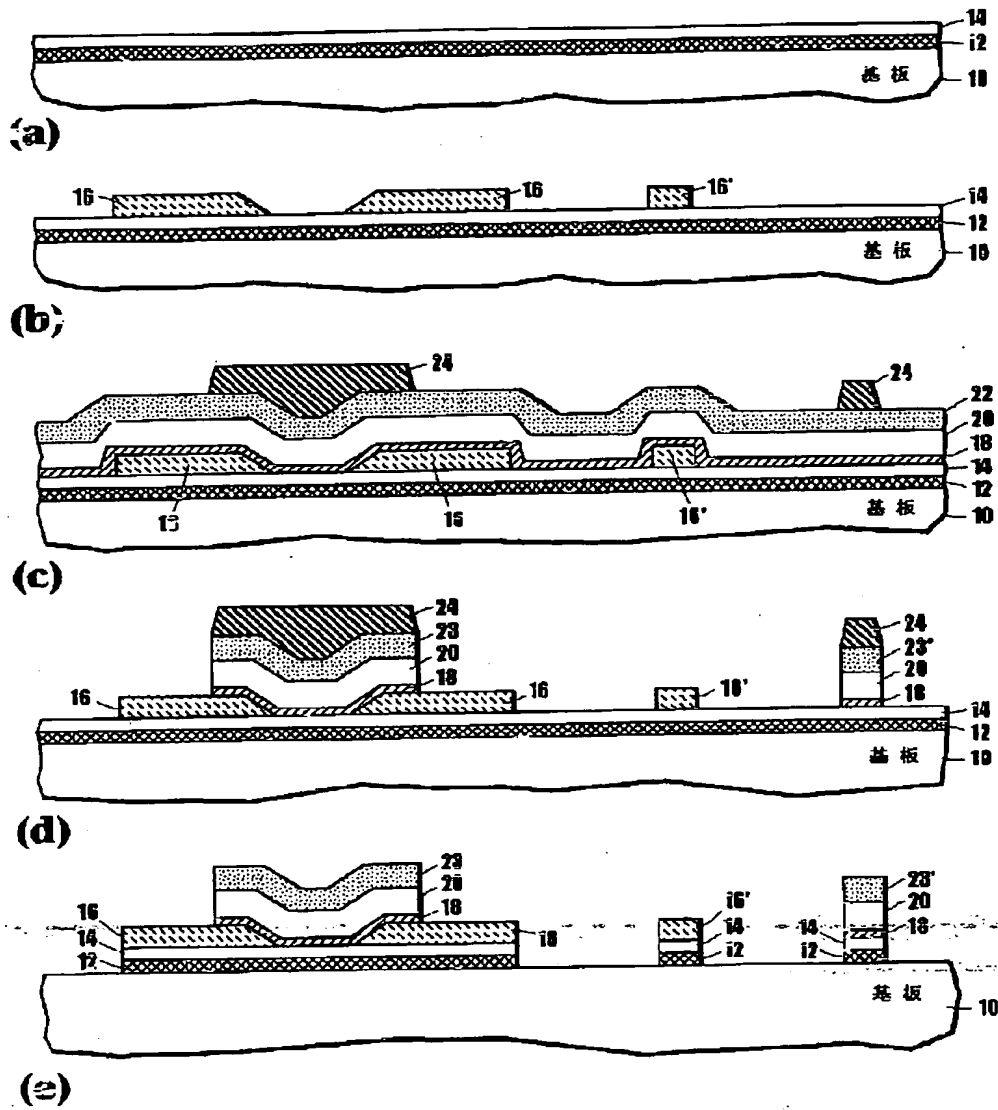


(a)



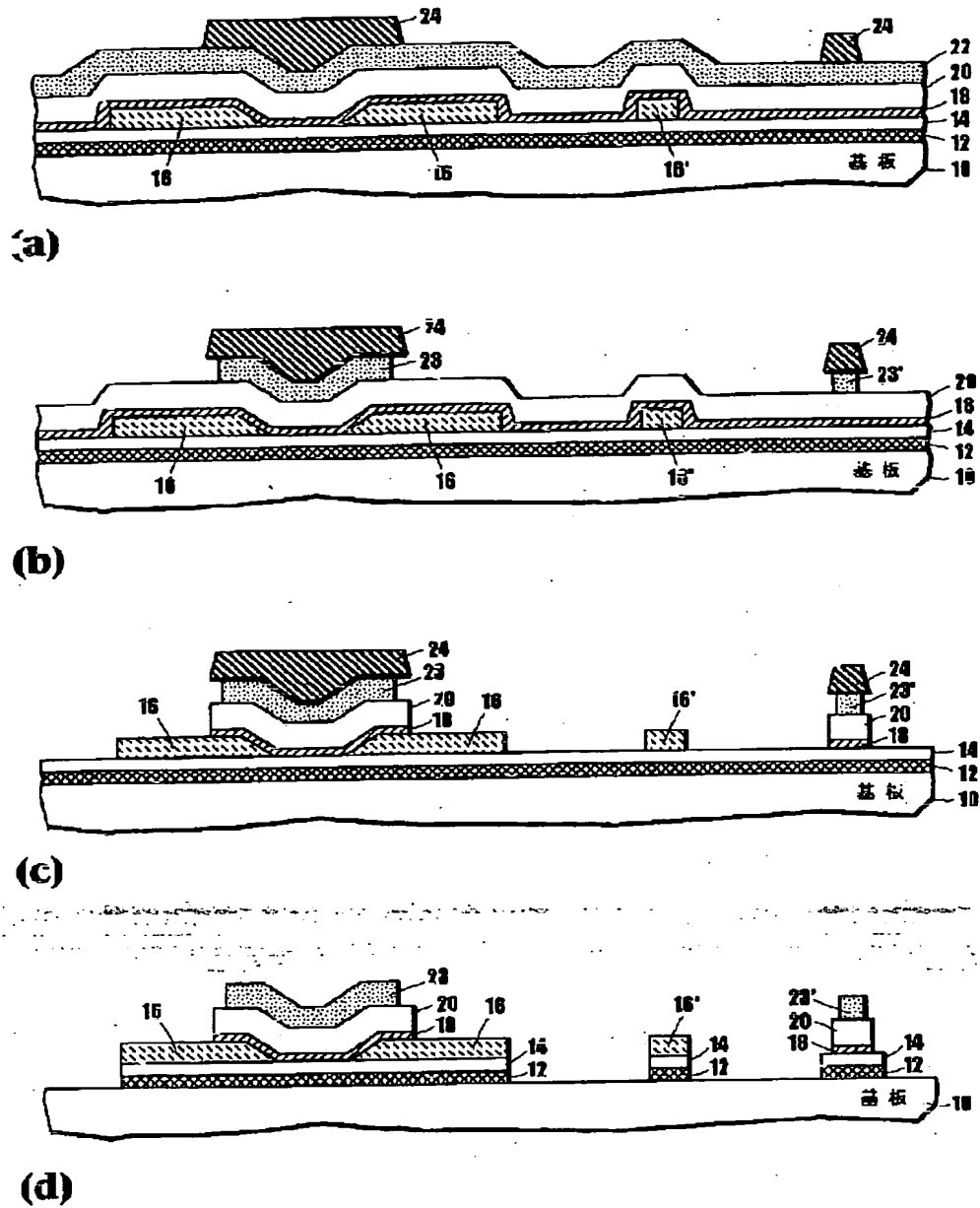
(b)

【图2】





【図3】



フロントページの続き

(72)発明者 宮本 隆志  
神奈川県大和市下鶴間1623番地14 日本ア  
イ・ビー・エム株式会社 大和事業所内

(10) 001-196589 (P2001-196589A)

Fターム(参考) 2H092 JA25 JA34 JA37 JB51 JB56  
KA05 KB25 MA18 MA19 NA07  
NA27  
5F110 AA06 AA16 CC05 DD02 DD13  
DD14 EE03 EE04 EE14 FF03  
GG02 GG04 GG13 GG15 HK06  
HM14 NN45 NN54 QQ01 QQ11